

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-332383

(43)Date of publication of application : 30.11.2001

(51)Int.Cl.

H05B 33/10
G09F 9/30
H01L 27/12
H01L 29/786
H01L 21/336
H05B 33/12
H05B 33/14

(21)Application number : 2000-199982

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 30.06.2000

(72)Inventor : NOZAWA RYOICHI
KIMURA MUTSUMI
INOUE SATOSHI

(30)Priority

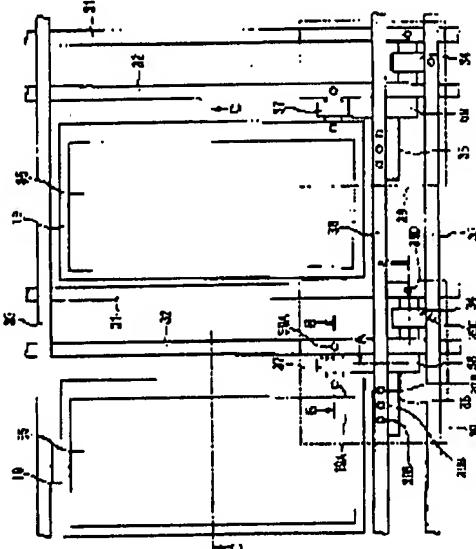
Priority number : 2000077181 Priority date : 17.03.2000 Priority country : JP

(54) MANUFACTURING METHOD OF ORGANIC EL DISPLAY BODY, ARRANGEMENT
METHOD OF SEMICONDUCTOR ELEMENT, MANUFACTURING METHOD OF
SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prepare an active-matrix organic EL display body using a transistor (transistor has a single crystal semiconductor as an active layer) with less property dispersions.

SOLUTION: Units of fine structure are numerously formed in parallel on a silicon wafer. This unit includes driving elements (a switching transistor 34, a driving transistor 37, a capacitor 36) of organic EL element (picture element) 35. This silicon wafer is divided to form a unit block 39. This unit block 39 is arranged at a predetermined position of a glass substrate (a substrate for display) 52. Driving elements for each picture element 35 are connected with a signal wire 31, a power supply wire 32, a scanning wire 33, a capacitor wire 38.



LEGAL STATUS

[Date of request for examination]

24.12.2003

[Date of sending the examiner's decision of
rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-332383

(P2001-332383A)

(43)公開日 平成13年11月30日(2001.11.30)

(51) Int.Cl.	識別記号	F I	チ-ヨ-ト*(参考)
H 0 5 B 33/10		H 0 5 B 33/10	3 K 0 0 7
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	5 C 0 9 4
	3 6 5		3 6 5 Z 5 F 1 1 0
H 0 1 L 27/12		H 0 1 L 27/12	B
29/786		H 0 5 B 33/12	B

審査請求 未請求 請求項の数26 OL (全 16 頁) 最終頁に統く

(21) 出願番号 特願2000-199982(P2000-199982)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(22) 出願日 平成12年6月30日(2000.6.30)

(31) 優先権主張番号 特願2000-7

(72)発明者 野澤 陵一

長野県諏訪市大和3丁目3番

～エプソン株式会社内

(72) 発明者 木村 瞳

長野県諏訪市大和3丁

～エプソン株式会社内

(74) 代理人 100066980

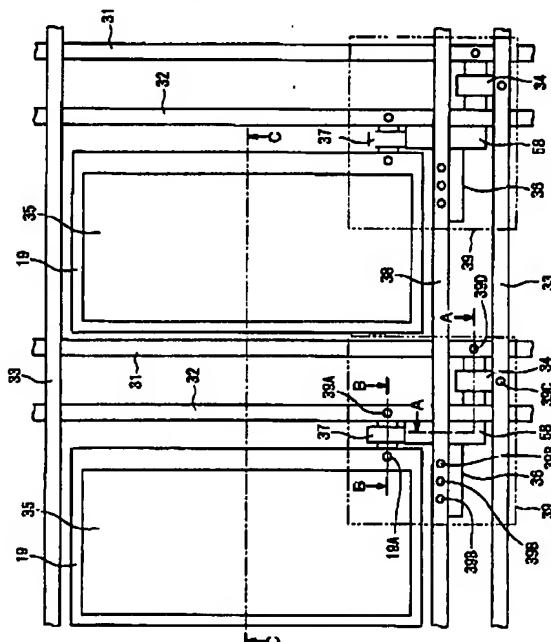
井理士 森 哲也 (外2名)

（4）【透明の名前】 有機EL表示体の製造方法、半導体粒子の調製方法、半導体装置の製造方法

(57) 「西約」

【課題】特性のばらつきの少ないトランジスタ（単結晶半導体を活性層とするトランジスタ）を用いたアクティブラマトリックス型有機EL表示体を大面積の透明基板上に安価で作製する。

【解決手段】微細構造の単位をシリコンウエハ上に多数個並列に形成する。この単位は、有機EL素子（画素）35の駆動素子（スイッチングトランジスタ34、ドライビングトランジスタ37、容量36）を含む。このシリコンウエハを分割して単位ブロック39を作製する。この単位ブロック39をガラス基板（表示用基板）52の所定位置に配置する。各画素35用の駆動素子を、信号線31、電源線32、走査線33、容量線38で接続する。



【特許請求の範囲】

【請求項1】 有機EL素子とこの有機EL素子を駆動する半導体素子とを表示用基板上に備えた有機EL表示体の製造方法において、

前記半導体素子を有する単位ブロックを、表示用基板の所定位置に配置する工程を有することを特徴とする有機EL表示体の製造方法。

【請求項2】 単位ブロックは、前記半導体素子を複数個並列に単結晶半導体基板に形成し、この基板を分割することにより形成されたものである請求項1記載の有機EL表示体の製造方法。

【請求項3】 表示用基板の所定位置に、単位ブロックの形状に合わせた形状の凹部を設け、液体中でこの凹部に単位ブロックを嵌め込むことにより、単位ブロックを表示用基板の所定位置に配置する請求項1または2記載の有機EL表示体の製造方法。

【請求項4】 厚さ方向に貫通する穴を表示用基板の所定位置に設け、表示用基板の一方の面側の圧力を他方の面側の圧力より高くするか前記穴に流体を通して、表示用基板の一方の面の前記穴の位置に単位ブロックを導くことにより、単位ブロックを表示用基板の所定位置に配置する請求項1または2記載の有機EL表示体の製造方法。

【請求項5】 前記穴を利用して配線を行う請求項4記載の有機EL表示体の製造方法。

【請求項6】 クーロン引力により単位ブロックを表示用基板の所定位置に導いて配置する請求項1または2記載の有機EL表示体の製造方法。

【請求項7】 有機EL素子の材料を、表示用基板上の画素位置に対応させてインクジェット法で配置することを特徴とする請求項1乃至6のいずれか1項に記載の有機EL表示体の製造方法。

【請求項8】 表示用基板上に形成する配線をインクジェット法で形成することを特徴とする請求項1乃至7のいずれか1項に記載の有機EL表示体の製造方法。

【請求項9】 駆動方式はアクティブマトリックス方式である請求項1乃至8のいずれか1項に記載の有機EL表示体の製造方法。

【請求項10】 表示用基板上には、走査線、信号線、および電源線と、これらの配線の単位ブロック内の配線との接続用端子とを予め形成し、単位ブロックには、表示用基板上に配置したときにこれらの端子と接触する位置に、表示用基板上の配線との接続用端子を予め形成した後に、単位ブロックを表示用基板の所定位置に配置する請求項9記載の有機EL表示体の製造方法。

【請求項11】 単位ブロックは、隣接する複数の有機EL素子を駆動するための複数の半導体素子を有する請求項9記載の有機EL表示体の製造方法。

【請求項12】 単位ブロックの平面形状を多角形とし、この多角形の中心を回転中心とした回転対称となる

ように、各有機EL素子用の複数の端子を配置する請求項11記載の有機EL表示体の製造方法。

【請求項13】 単位ブロックの平面形状を長方形とし、この長方形の長辺と平行な中心線および短辺と平行な中心線の両方に対して線対称となるように、各有機EL素子用の複数の端子を配置する請求項11記載の有機EL表示体の製造方法。

【請求項14】 単位ブロックの平面形状を多角形として、この多角形の各対角線に沿って各有機EL素子用毎の複数の端子を配置し、且つ各対角線上での端子位置が同じ端子で同じとなるように配置する請求項11記載の有機EL表示体の製造方法。

【請求項15】 前記多角形は正多角形である請求項12または14記載の有機EL表示体の製造方法。

【請求項16】 表示用基板上に、赤色発光、青色発光、緑色発光の3個の隣接する有機EL素子を一組として、複数組配置するとともに、3個の有機EL素子を駆動するための半導体素子を有する単位ブロックを、各組毎に、3個の有機EL素子の中心となる位置に配置する請求項11記載の有機EL表示体の製造方法。

【請求項17】 表示用基板上に、赤色発光、青色発光、緑色発光の各2個ずつ6個の隣接する有機EL素子を一組として、複数組配置するとともに、6個の有機EL素子を駆動するための半導体素子を有する単位ブロックを、各組毎に、6個の有機EL素子の間の位置に配置する請求項11記載の有機EL表示体の製造方法。

【請求項18】 半導体素子を有する単位ブロックを基板の所定位置に配置する半導体素子の配置方法において、

厚さ方向に貫通する穴を基板の所定位置に設け、この基板の一方の面側の圧力を他方の面側の圧力より高くするか前記穴に流体を通して、この基板の一方の面の前記穴の位置に、単位ブロックを導くことを特徴とする半導体素子の配置方法。

【請求項19】 半導体素子を有する単位ブロックを基板の所定位置に配置する半導体素子の配置方法において、

クーロン引力により単位ブロックを基板の所定位置に導くことを特徴とする半導体素子の配置方法。

【請求項20】 半導体素子を有する単位ブロックを基板の所定位置に配置する工程を有する半導体装置の製造方法において、

基板上に形成する配線をインクジェット法で形成することを特徴とする半導体装置の製造方法。

【請求項21】 半導体素子を有する単位ブロックを基板の所定位置に配置する工程を有する半導体装置の製造方法において、基板上には、配線と、この配線の単位ブロック内の配線

との接続用端子とを予め形成し、単位ブロックには、基板上に配置したときに基板上の端子と接触する位置に、基板上の配線との接続用端子を予め形成した後に、単位ブロックを基板の所定位置に配置することを特徴とする半導体装置の製造方法。

【請求項22】複数の半導体素子を有する単位ブロックを基板の所定位置に配置する工程を有する半導体装置の製造方法において、

単位ブロックの平面形状を多角形とし、この多角形の中心を回転中心とした回転対称となるように、各半導体素子用の複数の端子を配置する半導体装置の製造方法。

【請求項23】複数の半導体素子を有する単位ブロックを基板の所定位置に配置する工程を有する半導体装置の製造方法において、

単位ブロックの平面形状を長方形とし、この長方形の長辺と平行な中心線および短辺と平行な中心線の両方にに対して線対称となるように、各半導体素子用の複数の端子を配置する半導体装置の製造方法。

【請求項24】複数の半導体素子を有する単位ブロックを基板の所定位置に配置する工程を有する半導体装置の製造方法において、

単位ブロックの平面形状を多角形として、この多角形の各対角線に沿って各半導体素子用毎の複数の端子を配置し、且つ各対角線上での端子位置が同じ端子で同じとなるように配置する半導体装置の製造方法。

【請求項25】前記多角形は正多角形である請求項22または24記載の有機EL表示体の製造方法。

【請求項26】少なくとも各画素毎に2枚の電極に挟まれた発光層が形成され、前記発光層が半導体素子により駆動されるアクティブマトリックス型有機EL表示体の製造工程において、半導体素子を基板上で作成し、前記半導体素子を前記基板上から切り離し単位ブロック毎に分割し、他の基板上に前記半導体素子の前記単位ブロックを配置させることを特徴とするアクティブマトリックス型有機EL表示体の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、有機EL（エレクトロルミネッセンス）表示体の製造方法および半導体素子の配置方法に関する。

【0002】

【従来の技術】有機EL素子を画素に対応させて備える有機EL表示体は、高輝度で自発光であること、直流低電圧駆動が可能であること、応答性が高速であること、固体有機膜による発光であることから、表示性能に優れるとともに、薄型化、軽量化、低消費電力化が可能であるため、将来的に液晶表示体に代わるものとして期待されている。

【0003】特に、駆動方式がアクティブマトリックス方式であるアクティブマトリックス型有機EL表示体

は、画素毎にトランジスタと容量を備えているため、高輝度での高精細化が可能であり、多階調化や表示体の大型化に対応できる。これまでに提案されているアクティブマトリックス型有機EL表示体の一例を図19に示す。この図は、一つの画素とその周囲に配置されたこの画素の駆動用素子等を示す。このアクティブマトリックス型有機EL表示体では、有機EL素子からなる画素35毎に、スイッチングトランジスタ34、ドライビングトランジスタ37、容量36を備えている。これらの素子は信号線31、電源線32、走査線33、容量線38で駆動回路に接続されている。なお、符号19は画素35用の電極である。複数個のトランジスタを用いる目的は、オフ電流の改善、高電圧をトランジスタに印加することによる特性劣化の低減等、信頼性を向上するためである。

【0004】このアクティブマトリックス型有機EL表示体では、スイッチングトランジスタ34により画素の選択を行い、ドライビングトランジスタ37により画素35である有機EL素子を設定された輝度で発光させる。これらのトランジスタとしては、透明で大面積の基板上有機EL表示体を形成するために、ガラス基板に形成可能な低温多結晶シリコン膜を活性層とする薄膜トランジスタを使用している。

【0005】そして、Conductance Control 方式 (T. Shimoda, M. Kimura, et al., Proc. Asia Display 98, 217, M. Kimura, et al., IEEE Trans. Elec. Dev., 46, 2282 (1999)、M. Kimura, et al., Proc. IDW 99, 171) の有機EL表示体では、有機EL素子の発光強度の制御を、薄膜トランジスタをなす多結晶シリコン層の電気伝導度を変化させることにより行う。

【0006】この方式の有機EL表示体では、薄膜トランジスタの特性にばらつきがあるために、有機EL素子に供給される電流にばらつきが生じて、発光輝度の均一性が悪くなる恐れがある。薄膜トランジスタの電流値を変化させて、例えば256階調の輝度レベルを大面積表示体で実現するためには、薄膜トランジスタ等のスイッチング素子により、有機EL素子の電流値を0.5%以内の正確さで制御する必要がある。しかしながら、現状の低温多結晶シリコン薄膜を活性層とするトランジスタでは、中間電圧印加時の電流値のばらつきが大きいため、256階調の輝度レベルを十分制御することは難しい。

【0007】これに対して、単結晶半導体を活性層とするトランジスタは、特性のばらつきは少ないが、通常、600°C以上の高温プロセスで作製されるため、大面積の透明基板として現在使用可能なガラス基板等の上に形成することは困難である。また、単結晶シリコン基板等の不透明な単結晶半導体基板は、透明性が要求される有機EL表示体の基板として用いることはできない。

【0008】また、図19の構造のアクティブマトリッ

クス型有機EL表示体では、画素部35である有機EL素子からの光が、4本の配線31～33、38、2つのトランジスタ34、37、および容量36により遮断されるため、開口率が10%程度と小さい。したがって、アクティブマトリックス型有機EL表示体の開口率を向上するためには、薄膜トランジスタあるいは配線の領域を少なくする必要がある。

【0009】さらに、表示体の大面積化に関しては、現状のアモルファスシリコントランジスタ搭載アクティブマトリックス型液晶ディスプレイでは、1m×1m程度の大きさが上限である。アクティブマトリックス型有機EL表示体では、低温多結晶シリコン膜を活性層とする薄膜トランジスタを用いているが、従来の製造技術では、真空装置等の製造装置の大きさが限定されるため、液晶ディスプレイと同様に1m×1m程度の大きさが限界であると考えられる。

【0010】一方、多結晶シリコン薄膜を活性層とする薄膜トランジスタを備えた有機EL表示体において、薄膜トランジスタと有機EL素子は以下のようにして製造される。先ず、図20(a)～(d)の工程によって、ガラス基板11上に薄膜トランジスタを形成する。

【0011】この薄膜トランジスタ製造工程としては、先ず、ガラス基板11上に、SiH₄を用いたPECVD法やSi₂H₆を用いたLPCVD法により、アモルファスシリコンを成膜する。次に、エキシマレーザー等によるレーザー照射法または固相成長法によって、このアモルファスシリコンを再結晶化させて、多結晶シリコン膜12とする。図20(a)はこの状態を示す。次に、この多結晶シリコン膜12をバーニングした後、ゲート絶縁膜13を成膜し、さらにその上に成膜およびバーニングによってゲート電極14を形成する。図20(b)はこの状態を示す。

【0012】次に、リンやボロンなどの不純物を、ゲート電極14を用いて自己整合的に多結晶シリコン膜12に打ち込む。これにより、ゲート電極14の両側にソース・ドレイン領域15を形成し、CMOSFETを形成する。次に、第1層間絶縁膜16を成膜し、この絶縁膜にコンタクトホールを開けた後、ソース・ドレイン電極17を成膜およびバーニングによって形成する。図20(c)はこの状態を示す。次に、第2層間絶縁膜18を成膜し、この絶縁膜にコンタクトホールを開けた後、ITO電極(画素用電極)19を成膜およびバーニングによって形成する。図20(d)はこの状態を示す。

【0013】次に、図21(a)に示すように、第2層間絶縁膜18の上に密着層21を成膜して、ITO電極(画素用電極)19の上の画素領域に開口部を形成する。次に、この密着層21の上に層間層22を成膜して、密着層21の開口部の上に開口部を形成する。次に、酸素プラズマやCF₄プラズマ等を用いたプラズマ処理を行うことにより、ITO電極(画素用電極)19

上の開口部の表面の濡れ性を良好にする。その後、この開口部内に有機EL素子を構成する正孔注入層23と発光層24を形成する。これらの層は、スピニコート法、スキーイジ塗り法、インクジェット法等の液相プロセス、またはスパッタリング法や蒸着法等の真空プロセスによって形成される。特開平10-12377号公報には、インクジェット法により有機EL材料を形成および配列することで、赤、青、緑の発光色を備える有機発光層を画素毎に任意にバーニングできることが記載されている。

【0014】次に、図21(b)に示すように、発光層24の上に陰極25をなす金属薄膜を形成した後、封止剤26で封止する。陰極25用の金属としては、仕事関数を小さくする目的でアルカリ金属またはアルカリ土類金属が添加された金属を使用する。なお、密着層21は、基板と層間層22との密着性を向上すること、および正確な発光面積を得ることを目的として設ける。また、層間層22を設ける目的の一つは、ゲート電極14、ソース・ドレイン電極17から陰極25を遠ざけることによって、寄生容量を低減することである。層間層22を設けるもう一つの目的は、液相プロセスで正孔注入層23や発光層24を形成する際に、表面の濡れ性を制御して、正確なバーニングがなされるようにすることである。

【0015】このように、従来の有機EL表示素子の製造方法においては、トランジスタ形成のために、表示用基板全面に対する薄膜形成と、バーニングによって不要部分の薄膜形成材料を除去することが繰り返されている。特に、有機EL素子部分および配線部分の薄膜形成材料は大きく除去されるため、資源の有効活用の点で改善の余地がある。

【0016】

【発明が解決しようとする課題】本発明は、上述したような従来技術の問題点に着目してなされたものであり、本発明の第1の課題は、特性のばらつきの少ないトランジスタ(単結晶半導体を活性層とするトランジスタ)が大面積の透明基板上に形成された有機EL表示体を得ることである。

【0017】本発明の第2の課題は、アクティブマトリックス型有機EL表示体の開口率を向上することである。本発明の第3の課題は、有機EL表示体の製造工程での薄膜形成材料の除去量を少なくすることである。本発明の第4の目的は、1m×1m以上の大きな有機EL表示体を容易に得ることである。

【0018】

【課題を解決するための手段】上記課題を解決するため、本発明は、有機EL素子とこの有機EL素子を駆動する半導体素子とを表示用基板上に備えた有機EL表示体の製造方法において、前記半導体素子を有する単位ブ

ロックを、表示用基板の所定位置に配置する工程を有することを特徴とする有機EL表示体の製造方法を提供する。この単位ブロックは、例えば、前記半導体素子を複数個並列に単結晶半導体基板やその他の基板に形成し、この基板を分割することにより形成される。あるいは、市販の単位ブロックを購入して使用してもよい。

【0019】この方法では、有機EL素子を駆動する半導体素子を表示用基板上に直接形成するのではなく、この半導体素子を有する単位ブロックを表示用基板の所定位置に配置する。そのため、半導体素子が単結晶半導体基板に形成されている単位ブロックを用いることにより、耐熱性の低いガラス基板等の上に、単結晶半導体を活性層とするトランジスタ（特性のばらつきが少ないトランジスタ）を配置することができる。これにより、大面積の透明基板上に特性のばらつきの少ないトランジスタが形成された有機EL表示体が得られる。

【0020】また、この方法によれば、用意した単位ブロックを検査し、不良品を除いて良品のみを表示用基板上に配列することによって、表示体を形成した後のスループットが改善される。これにより、信頼性の高い有機EL表示体を効率的に得ることができる。また、単結晶半導体を活性層とするトランジスタは、低温多結晶シリコン薄膜を活性層とするトランジスタと比べて、素子の大きさを小さくできる。これにより、半導体素子の占有面積を小さくして、アクティブマトリックス型有機EL表示体の開口率を向上することができる。また、単位ブロックの製造工程では大面積の基板を用いる必要がないため、薄膜形成工程やエッチング工程等で使用する装置が小型化できる。

【0021】また、半導体素子が単位ブロックに形成されていることから表示用基板上で半導体素子を形成しないため、従来の方法のように、半導体素子形成のために有機EL素子部分等の無駄に形成しては除去していた薄膜が、初めから成膜されない。そのため、従来の方法と比較して、有機EL表示体の製造工程での薄膜形成材料の除去量が少なくなる。

【0022】このように製造装置を小型化でき製造工程での材料を節約するために、有機EL表示体の製造コストを低減することができる。本発明で、単位ブロックを表示用基板の所定位置に配置する方法としては、次の3つの方法が挙げられる。また、これらの方法を2つ以上併用してもよい。第1の方法では、表示用基板の所定位置に、単位ブロックの形状に合わせた形状の凹部を設け、液体中でこの凹部に単位ブロックを嵌め込むことにより、単位ブロックを表示用基板の所定位置に配置する。

【0023】第2の方法では、厚さ方向に貫通する穴を表示用基板の所定位置に設け、表示用基板の一方の面側の圧力を他方の面側の圧力より高くするか前記穴に流体を通して、表示用基板の一方の面の前記穴の位置に単位

ブロックを導くことにより、単位ブロックを表示用基板の所定位置に配置する。第3の方法では、クーロン引力により単位ブロックを表示用基板の所定位置に導いて配置する。この際、表示用基板の所定位置と単位ブロックを互いに反対符号の電荷に帶電させるか、または、表示用基板の所定位置と単位ブロックのうちの一方を帶電させることにより、表示用基板の所定位置と単位ブロックとの間にクーロン引力を発生させる。

【0024】本発明の方法では、有機EL素子の材料を、表示用基板上の画素位置に対応させてインクジェット法で配置することが好ましい。また、表示用基板上に形成する配線をインクジェット法で形成することが好ましい。インクジェット法は、印刷分野で実現されているように、インクジェットのヘッド部の可動領域を広げることにより、例えば1m×1mの表示体に対しても液状材料を所定位置に配置することができる。これに対して、成膜とエッチング等によるバーニングとによって有機EL素子の形成および配線の形成を行う方法では、製造工程に必要な真空装置等の装置の大きさによって、製造可能な表示体の大きさが制限される。

【0025】本発明の方法は、駆動方式がアクティブマトリックス方式である場合、すなわちアクティブマトリックス型有機EL表示体の場合に、好適に適用される。アクティブマトリックス型有機EL表示体の場合、画素をなす各有機EL素子は、走査線、信号線、および電源線等の配線によって接続される。この場合、表示用基板上には、走査線、信号線、および電源線と、これらの配線の単位ブロック内の配線との接続用端子とを予め形成し、単位ブロックには、表示用基板上に配置したときにこれらの端子と接触する位置に、表示用基板上の配線との接続用端子を予め形成した後に、単位ブロックを表示用基板の所定位置に配置することが好ましい。これにより、単位ブロックを表示用基板上に配置した後の配線工程を省略することができる。

【0026】単位ブロックは、隣接する複数の有機EL素子を駆動するための複数の半導体素子を有することが好ましい。これにより、一つの有機EL表示体に配置する単位ブロック数を少なくすることができるため、コストが低減する。また、単位ブロックの配置箇所が少なくなるため、単位ブロックの配置ミスや、単位ブロック側の端子と表示用基板側の端子を配線で接続する際の配線ミスを少なくすることができる。

【0027】また、複数の半導体素子を有する単位ブロックの複数の端子の位置関係を、線対称や点対称とすることにより、配線ミスを低減することができる。この端子の配置方法としては以下の方法が挙げられる。

①単位ブロックの平面形状を多角形とし、この多角形の中心を回転中心とした回転対称となるように、各有機EL素子用の複数の端子を配置する。②単位ブロックの平面形状を正多角形とし、この正多角形の中心を回転中心

とした回転対称となるように、各有機EL素子用の複数の端子を配置する。

【0028】③②の方法で、回転移動しても端子配置が変わらない回転角度を、正多角形の辺の数をnとした時に 360° をnで割った値($360^\circ/n$)とする。すなわち、例えば、単位ブロックの平面形状が正方形の場合には 90° ずつ回転させた時に、正五角形の場合には 72° ずつ回転させた時に、正六角形の場合には 60° ずつ回転させた時に、同じ位置に端子が配置されるようになる。

【0029】④単位ブロックの平面形状を長方形とし、この長方形の長辺と平行な中心線および短辺と平行な中心線の両方に対して線対称となるように、各有機EL素子用の複数の端子を配置する。⑤単位ブロックの平面形状を長方形とし、この長方形の中心を回転中心として 180° 回転させた時に同じ位置に端子が配置されるよう、各有機EL素子用の複数の端子を配置する。

【0030】⑥単位ブロックの平面形状を多角形として、この多角形の各対角線に沿って各有機EL素子用毎の複数の端子を配置し、且つ各対角線上での端子位置が同じ端子で同じとなるように配置する。⑦単位ブロックの平面形状を正多角形として、この正多角形の各対角線に沿って各有機EL素子用毎の複数の端子を配置し、且つ各対角線上での端子位置が同じ端子で同じとなるように配置する。

【0031】③および⑦の方法によれば、単位ブロックの平面形状に対応させて基板側に形成された凹部に単位ブロックを嵌める際に、単位ブロックをなす正多角形の辺を凹部をなす正多角形のいずれの辺に合わせたとしても、基板上で同じ端子配置となる。すなわち、単位ブロックと凹部とで対応させる正多角形の辺を予め決めておく必要がなく、単位ブロックが凹部に嵌まれば必ず端子配置が合っていることになる。

【0032】④および⑨の方法によれば、単位ブロックの平面形状に対応させて基板側に形成された凹部に単位ブロックを嵌める際に、単位ブロックをなす長方形の長辺および短辺を、凹部をなす長方形のいずれの長辺および短辺に合わせたとしても、基板上で同じ端子配置となる。すなわち、単位ブロックと凹部とで対応させる辺を予め決めておく必要がなく、単位ブロックが凹部に嵌まれば必ず端子配置が合っていることになる。

【0033】図22(a)～(d)は、①～③の方法による端子配置の例を示す。図22(e)、(f)は、④または⑨の方法による端子配置の例を示す。図22(e)、(f)において、一点鎖線L1は長方形の長辺と平行な中心線を、一点鎖線L2は長方形の短辺と平行な中心線を示す。図22(a)は、⑤または⑦の方法による端子配置の例である。なお、図22において、符号39は単位ブロックであり、符号Tは端子である。

【0034】単位ブロックの配置方法としては、表示用

基板上に、赤色発光、青色発光、緑色発光の3個の隣接する有機EL素子を一組として、複数組配置するとともに、3個の有機EL素子を駆動するための半導体素子を有する単位ブロックを、各組毎に、3個の有機EL素子の中心となる位置に配置する方法が挙げられる。単位ブロックの配置方法としては、また、表示用基板上に、赤色発光、青色発光、緑色発光の各2個ずつ6個の隣接する有機EL素子を一組として、複数組配置するとともに、6個の有機EL素子を駆動するための半導体素子を有する単位ブロックを、各組毎に、6個の有機EL素子の間の位置に配置する方法が挙げられる。

【0035】単位ブロックの半導体素子が駆動する有機EL素子(画素)の数nに応じて、一つの有機EL表示体に配置する単位ブロック数を $1/n$ に減らすことができる。また、この数nが大きいほど、前述のコストの低減効果、単位ブロックの配置ミスの低減効果、および配線ミスの低減効果が大きくなる。本発明はまた、半導体素子を有する単位ブロックを基板の所定位置に配置する半導体素子の配置方法において、厚さ方向に貫通する穴を基板の所定位置に設け、この基板の一方の面側の圧力を他方の面側の圧力より高くするか前記穴に流体を通して、この基板の一方の面の前記穴の位置に、単位ブロックを導くことを特徴とする半導体素子の配置方法を提供する。

【0036】本発明はまた、半導体素子を有する単位ブロックを基板の所定位置に配置する半導体素子の配置方法において、クーロン引力により単位ブロックを基板の所定位置に導くことを特徴とする半導体素子の配置方法を提供する。この際、基板の所定位置と単位ブロックを互いに反対符号の電荷に帶電させるか、または、基板の所定位置と単位ブロックのうちの一方を帶電させることにより、基板の所定位置と単位ブロックとの間にクーロン引力を発生させる。

【0037】本発明はまた、半導体素子を有する単位ブロックを基板の所定位置に配置する工程を有する半導体装置の製造方法において、基板上に形成する配線をインクジェット法で形成することを特徴とする半導体装置の製造方法を提供する。本発明はまた、半導体素子を有する単位ブロックを基板の所定位置に配置する工程を有する半導体装置の製造方法において、基板上には、配線と、この配線の単位ブロック内の配線との接続用端子とを予め形成し、単位ブロックには、基板上に配置したときに基板上の端子と接触する位置に、基板上の配線との接続用端子を予め形成した後に、単位ブロックを基板の所定位置に配置することを特徴とする半導体装置の製造方法を提供する。

【0038】本発明はまた、複数の半導体素子を有する単位ブロックを基板の所定位置に配置する工程を有する半導体装置の製造方法において、単位ブロックの平面形状を多角形とし、この多角形の中心を回転中心とした回

転対称となるように、各半導体素子用の複数の端子を配置する半導体装置の製造方法を提供する。この方法で、前記多角形は正多角形であることが好ましい。

【0039】本発明はまた、複数の半導体素子を有する単位ブロックを基板の所定位置に配置する工程を有する半導体装置の製造方法において、単位ブロックの平面形状を長方形とし、この長方形の長辺と平行な中心線および短辺と平行な中心線の両方に対して線対称となるように、各半導体素子用の複数の端子を配置する半導体装置の製造方法を提供する。

【0040】本発明はまた、複数の半導体素子を有する単位ブロックを基板の所定位置に配置する工程を有する半導体装置の製造方法において、単位ブロックの平面形状を多角形として、この多角形の各対角線に沿って各半導体素子用毎の複数の端子を配置し、且つ各対角線上での端子位置が同じ端子で同じとなるように配置する半導体装置の製造方法を提供する。この方法で、前記多角形は正多角形であることが好ましい。

【0041】これらの半導体装置の製造方法における「半導体装置」としては、例えば、メモリセルや液晶表示体が挙げられる。また、有機EL表示体の製造方法として説明した、前述の端子配置方法①～⑦は、この半導体装置の製造方法における半導体素子の端子配置方法としても適用できる。本発明はまた、少なくとも各画素毎に2枚の電極に挟まれた発光層が形成され、前記発光層が半導体素子により駆動されるアクティブマトリックス型有機EL表示体の製造工程において、半導体素子を基板上で作成し、前記半導体素子を前記基板上から切り離し単位ブロック毎に分割し、他の基板上に前記半導体素子の前記単位ブロックを配置させることを特徴とするアクティブマトリックス型有機EL表示体の製造方法を提供する。

【0042】

【発明の実施の形態】以下、本発明の実施形態について説明する。図1～図6を用いて、本発明の一実施形態に相当する有機EL表示体の製造方法を説明する。図1は、この実施形態の方法で作製された、アクティブマトリックス型有機EL表示体の一部を示す平面図である。図2は図1のA-A線断面図であり、図3は図1のB-B線断面図である。図4は単位ブロックの作製方法を説明する図である。図5は単位ブロックの配置方法を説明する図である。図6は図1のC-C線断面図である。

【0043】この表示体では、各画素位置に有機EL素子からなる画素35および画素用電極19が配置され、各画素35毎に、駆動用の半導体素子として、スイッチングトランジスタ34、ドライビングトランジスタ37、容量36を備えている。また、これらの素子は信号線31、電源線32、走査線33、容量線38により、表示体の周辺部に配置された駆動回路と接続されている。

【0044】この表示体は、以下に示すように、ガラス基板（表示用基板）52の所定位置に単位ブロック39を配置する工程を経て製造されている。また、この表示体は、各画素35毎に一つの単位ブロック39を有する。この単位ブロック39には、図2および3に示すように、半導体素子として、スイッチングトランジスタ34、ドライビングトランジスタ37、および容量36が形成されている。両トランジスタ34、37は、ゲート電極1とゲート酸化膜2とソース・ドレイン領域3を有するMOSFETである。ソース・ドレイン領域3は、単結晶シリコン基板41aの不純物拡散層からなる。容量36は、単結晶シリコン基板41aの不純物拡散層からなる導電層4と、導電層4の上に形成された絶縁層5と、絶縁層5の上に形成された電極6とで構成されている。

【0045】また、この単位ブロック39には、両トランジスタ34、37を接続する配線58も形成されている。さらに、この単位ブロック39には、走査線33との接続用の端子39C、信号線31との接続用の端子39D、電源線32との接続用の端子39A、および容量線38との接続用の端子39Bが形成されている。符号57は絶縁膜である。

【0046】先ず、図4に示すように、この単位ブロック39の微細構造を、シリコンウエハ（単結晶半導体基板）41上に多数個並列に形成する。次に、このシリコンウエハ41を分割線51で分割することにより、多数の単位ブロック39を得る。次に、得られた多数の単位ブロック39を検査して不良品を取り除く。一方、図5に示すように、ガラス基板（表示用基板）52には、エッチング等の工程により、単位ブロック39を配置する位置に窪み（凹部）54を設けておく。前述の方法で得られた単位ブロック39は、シリコン単結晶の劈開面に沿って端面が斜めに切断される。そのため、ガラス基板52の窪み54の内壁面を、この単位ブロック39の斜面に合わせた形状にしておく。また、単位ブロック39の切断を、ウエハ上面（半導体素子形成面）側が反対面側より広くなるように行い、窪み54の形状をこれに合わせて上面側に広がる形状にすることにより、単位ブロック39は窪み54に嵌まり易くなる。

【0047】このガラス基板52と単位ブロック39を液体53中に入れ、単位ブロック39をガラス基板52の表面（窪み54が形成されている面）に沿って流動させることにより、単位ブロック39が窪み54に嵌まる。これにより、単位ブロック39がガラス基板52の所定位置に配置される。次に、この単位ブロック39を含むガラス基板52の表面全体に対して、導電膜の形成とパターニングを行うことにより、信号線31、電源線32、走査線33、および容量線38を形成する。次に、ITO電極（画素用電極）19の形成を行う。

【0048】なお、単位ブロック39には、シフトレジ

スタ、ドライバー等の表示体の周辺駆動回路やメモリ、演算論理装置等の機能素子等が形成されていてもよい。次に、この配線31～33、38および画素用電極19が形成された状態のガラス基板52の上面全体に、図6に示すように、絶縁膜20を形成した後、パターニングを行って画素用電極19の上に画素領域の穴20aを設ける。この穴20a内に正孔注入層23と発光層24を形成する。この正孔注入層23と発光層24が画素（有機EL素子）35を構成する。

【0049】正孔注入層23は、例えば、ポリフェニルビニレンの前駆体であるポリテトラヒドロチオフェニルフェニレンを塗布した後、これを加熱してポリフェニルビニレンとすることにより形成される。発光層24の材料としては、赤色発光材料としてシアノポリフェニルビニレン、青色発光材料としてポリフェニルビニレン、緑色発光材料としてポリアルキルフェニレンが挙げられる。

【0050】次に、発光層24の上に、Liを含むA1からなる陰極25を、成膜とパターニングを行うことにより形成した後、ガラス基板52の上面全体を封止剤により封止する。なお、図1では陰極25が省略されている。このようにして得られたアクティブマトリックス型有機EL表示体は、特性のバラツキが少ない単結晶シリコンを活性層とするトランジスタを備えているため、低温多結晶シリコン薄膜を活性層とするトランジスタを備えた従来の表示体と比較して、中間電圧印加時の電流値のばらつきが小さくなっている、256階調の輝度レベルを十分に制御することが可能となる。

【0051】また、このアクティブマトリックス型有機EL表示体は、低温多結晶シリコン薄膜を活性層とするトランジスタを備えた従来の表示体と比較して、半導体素子の占有面積が小さいため開口数が大きくなる。また、この実施形態の方法は、従来の方法で半導体素子形成のために有機EL素子部分等の無駄に形成しては除去していた薄膜が、初めから成膜されない。そのため、従来の方法と比較して、有機EL表示体の製造工程での薄膜形成材料の除去量が少なくなる。

【0052】なお、正孔注入層23および発光層24は、スピンドルコート法、スキーージ塗り法、インクジェット法等の液相プロセス、またはスパッタリング法や蒸着法等の真空プロセスのいずれの方法で形成してもよいが、インクジェット法で形成することが好ましい。図7に示すように、インクジェット法では、インク充填領域64を枠体63で区画した後、インクジェット装置のヘッド部61を移動させながら、インク充填領域64に向けてヘッド部61からインク62を吐出させることにより、インク充填領域64にインク62を充填する。

【0053】インク充填領域64に親水性インク（発光層24の材料等）を充填する際には、枠体63の上部を撓水性とすることによって、ヘッド部61のインク充填

領域64に対する位置合わせ精度をそれ程高くしなくとも、インク62をインク充填領域64内に充填しやすくなることができる。枠体63の材料としては例えばポリイミドが用いられる。このポリイミドからなる枠体63に対して、酸素あるいはフルオロカーボンガスによるプラズマ処理を行うことにより、枠体63の表面を撓水性にことができる。

【0054】また、信号線31、電源線32、走査線33等の配線をインクジェット法で形成することも可能である。この場合には、インク62として、導電性材料を含む液状物であって、溶剤の蒸発や加熱硬化等によってインク充填領域64内で固体となり得る材料を使用する。このような導電性材料としては、有機金属化合物、金属錯体、導電性有機高分子、導電性有機高分子の前駆体、液状金属、金属微粒子等が挙げられる。

【0055】このように、有機EL素子をなす正孔注入層23および発光層24と、信号線31、電源線32、走査線33等の配線をインクジェット法で形成することにより、1m×1m以上の大きなアクティブマトリックス型有機EL表示体を容易に得ることができるようになる。また、次に説明する方法によれば、単位ブロック39を表示用基板52上に配置した後の配線工程を省略することができる。

【0056】この方法では、図8に示すように、予め表示用基板52上に、走査線33、信号線31、電源線32、および容量線38と、これらの配線の単位ブロック39内の配線との接続用の端子33a、31a、32a、38aを形成しておく。単位ブロック39には、表示用基板52上に配置したときにこれらの端子33a、31a、32a、38aと接触する各位置に、表示用基板52上の各配線との接続用の端子39A～39Dを予め形成しておく。なお、符号19Aは、画素用電極19用の端子である。

【0057】これにより、これらの単位ブロック39および表示用基板52を用いて、単位ブロック39を表示用基板52の所定位置に配置すれば、表示用基板52の端子33a、31a、32a、38aと単位ブロック39の端子39A～39Dとが、それぞれ対応する端子同士で接続する。これにより、単位ブロック39を表示用基板52の所定位置に配置するだけで、単位ブロック39の半導体素子と表示用基板52の配線との接続が終了する。

【0058】図9～図12を用いて、単位ブロックを表示用基板の所定位置に配置する方法であって、図5の方法とは別の実施形態について説明する。図9に示す方法では、表示用基板52には、図5の方法と同様に、単位ブロック39を配置する位置に単位ブロック39の形状に合わせた形状の溝54を設ける。これに加えて、この溝54の中心部に、表示用基板51を厚さ方向に貫通する穴55を設ける。

【0059】この表示用基板52と単位ブロック39を液体中または所定気体の雰囲気に入れ、単位ブロック39を表示用基板52の表面（窪み54が形成されている面）側に落下させると同時に、表示用基板52を単位ブロック39側に持ち上げることによって、単位ブロック39が窪み54に嵌まる。これにより、単位ブロック39がガラス基板52の所定位置に配置される。

【0060】図10に示す方法では、表示用基板52には、図5の方法と同様に、単位ブロック39を配置する位置に単位ブロック39の形状に合わせた形状の窪み54を設ける。これに加えて、この窪み54の中心部に、表示用基板51を厚さ方向に貫通する穴55を設ける。この表示用基板52と単位ブロック39を液体中または所定気体の雰囲気に入れ、穴55を利用して、窪み54が形成されている面とは反対側から真空ポンプで液体または気体を吸引することにより、窪み54が形成されている面側の圧力を反対面側の圧力より高くする。これにより、各単位ブロック39が穴55の位置に導かれて、ガラス基板52の所定位置に配置される。

【0061】また、図9の方法および図10の方法により形成された表示体は、表示用基板52の単位ブロック39が配置されている各位置に穴55が存在するため、単位ブロック39の半導体素子からの配線をこの穴55から裏面に向かわせることができる。これにより、有機EL表示体の表面（画素形成面）側に存在する配線の面積を小さくできるため、有機EL素子の配線による発光遮断量が低減できる。また、有機EL素子の発光面積を大きくすることもできる。

【0062】図11に示す方法では、表示用基板52の単位ブロック39を配置する各位置に電極59を形成し、正に帯電させた単位ブロック39をこの表示用基板52の上方に配置する。表示用基板52の各電極59を負に帯電させることにより、単位ブロック39はクーロン引力で各電極59の位置に導かれる。これにより、各単位ブロック39がガラス基板52の所定位置に配置される。

【0063】単位ブロック39の帯電は、静電気発生装置（ベルト等で金属部を擦ることにより、静電気を発生する装置）等を使用して行う。単位ブロック39の厚さは通常、数μm～数百μmであるため、静電気力によって移動可能である。この配置を行う雰囲気は真空であってもよいし、絶縁性の液体または気体中であってもよい。この方法においては、単位ブロック39を自由落下させる重力よりも、単位ブロック39と各電極59との間のクーロン引力の方が大きないと、単位ブロック39は各電極59に導かれないため、雰囲気の比重を所定値より大きく設定する必要がある。

【0064】図12に示す方法では、レーザープリンタの原理を利用して、クーロン引力により単位ブロック39を表示用基板52の各位置に導いて配置する。すなわ

ち、単位ブロック39用のローラーR1と表示用基板52用のローラーR2を、所定間隔を開けて対向配置する。表示用基板52用のローラーR2には、表示用基板52の単位ブロック39を配置する各位置に対応させた各位置に、電極が形成されている。

【0065】ローラーR1を正に帯電させて、単位ブロック39をこのローラーR1に沿って移動させる。ローラーR2に設けた各電極を負に帯電させて、表示用基板52をこのローラーR2に沿って移動させる。これにより、両ローラーR1、R2が最も接近している位置で、正に帯電した単位ブロック39が表示用基板52の負に帯電した各電極位置に飛び移る。

【0066】単位ブロックを表示用基板の所定位置に配置する方法としては、これらの方法以外にも、図10の方法で窪み54を形成しない方法、図9の方法と図11または図12の方法とを組み合わせた方法、図5の方法と図11または図12の方法とを組み合わせた方法、図10の方法と図11または図12の方法とを組み合わせた方法、図10の方法で窪み54を形成しない方法と図11または図12の方法とを組み合わせた方法等が挙げられる。

【0067】図1の有機EL表示体では、一つの画素35毎に一つの単位ブロック39を設けているが、図13および図14に示すように、複数の画素35毎に一つの単位ブロック39を設けてもよい。図13の有機EL表示体では、4つの画素用電極19の中心に一つの単位ブロック39が配置されている。図14の有機EL表示体では、3つの画素用電極19の中心に一つの単位ブロック39が配置されている。

【0068】図13の有機EL表示体では、また、単位ブロック39の平面形状を正方形とし、この正方形の4つの対角線に沿って、4つの各有機EL素子用毎の複数の端子72a～72eが配置されている。端子72aは信号線31用の端子であり、端子72bは走査線33用の端子であり、端子72cは容量線38用の端子であり、端子72dは電源線32用の端子であり、端子72eは画素用電極19用の端子である。また、各対角線上での各端子72a～72eは、同じ端子で（端子72a～72e毎に）対角線の交点からの距離が同じ位置に配置されている。

【0069】そのため、例えば、表示用基板52の4カ所に配置された4つの単位ブロック39が、それぞれ単位ブロック39の中心（対角線の交点）を回転中心として90°ずつ回転された状態で配置されていても、表示用基板52上での各端子72a～72eの配置は同じとなる。したがって、信号線31、電源線32、走査線33、および容量線38等の配線を形成する際に、配線ミスを低減することができる。

【0070】カラー表示体の場合には、例えば図15に示すように、表示用基板上に、赤色発光の有機EL素子

からなる画素81と、緑色発光の有機EL素子からなる画素82と、青色発光の有機EL素子からなる画素83とを隣接させて一組とし、多数組配置する。また、3個の画素81～83をなす有機EL素子用の単位ブロック39を、各組毎に、画素81～83の中心となる位置に配置する。図14の3つの画素35を画素81～83とすれば、図14は図15の表示体の一組の画素とこれらの画素用の単位ブロックを示す図に相当する。

【0071】また、図16に示すように、3種類の画素81～83を各2個ずつ6個を一組とし、6個の画素81～83をなす有機EL素子用の単位ブロック39を、各組毎に、6個の画素81～83の中心となる位置に配置してもよい。このように、一つの単位ブロックに、複数の有機EL素子（画素）用の半導体素子を形成することによって、一つの画素毎に一つの単位ブロックを形成した場合と比較して、有機EL表示体の作製にかかるコストを低減し、単位ブロックの配置ミスを低減し、配線ミスを低減することができる。

【0072】なお、以上の実施形態では、アクティブマトリックス型有機EL表示体について説明しているが、半導体素子が形成されている単位ブロックを表示用基板に配置する本発明の方法は、アクティブマトリックス型以外の有機EL表示体にも適用される。また、有機EL表示体以外でも、図17に示すようなメモリセルや、図18に示すような液晶表示体にも適用できる。

【0073】図17に示すように、メモリセルでは、トランジスタ91と容量36が形成された単位ブロック39を、前述の図5および図9～12のいずれかの方法あるいはこれらを適宜組み合わせた方法で、表示用基板52の代わりに所定の基板50に配置することにより、メモリセルMを作製することができる。また、図8と同じ方法を採用すれば、単位ブロック39を基板50上に配置した後の配線工程を省略することができる。

【0074】この場合には、予め基板50上に、容量線38、ワード線92、ビット線93と、これらの配線の単位ブロック39内の配線との接続用の端子38a、92a、93aを形成しておく。単位ブロック39には、表示用基板52上に配置したときにこれらの端子38a、92a、93aと接触する各位置に、表示用基板52上の各配線との接続用の端子94A～94Cを予め形成しておく。

【0075】図18に示すように、液晶表示体では、スイッチングトランジスタ34と容量36と液晶素子接続用の端子96が形成された単位ブロック39を、前述の図5および図9～12のいずれかの方法あるいはこれらを適宜組み合わせた方法で、表示用基板52に配置することにより、液晶表示体Lを作製することができる。また、図8と同じ方法を採用すれば、単位ブロック39を基板50上に配置した後の配線工程を省略することができる。

【0076】この場合には、予め表示用基板52上に、走査線33、信号線31、および容量線38と、これらの配線の単位ブロック39内の配線との接続用の端子33a、31a、38aを形成しておく。単位ブロック39には、表示用基板52上に配置したときにこれらの端子33a、31a、38aと接触する各位置に、表示用基板52上の各配線との接続用の端子95A～95Cを予め形成しておく。

【0077】

【発明の効果】以上説明したように、本発明の有機EL表示体の製造方法によれば、特性のばらつきの少ないトランジスタ（単結晶半導体を活性層とするトランジスタ）が大面積の透明基板上に形成された有機EL表示体を得ることができる。本発明の有機EL表示体の製造方法によれば、また、開口率の高いアクティブマトリックス型有機EL表示体を得ることができる。

【0078】本発明の有機EL表示体の製造方法によれば、また、有機EL表示体の製造工程での薄膜形成材料の除去量を少なくできるため、資源の有効活用および製造コストの低減が図れる。本発明の有機EL表示体の製造方法によれば、また、インクジェット法等の採用によって、1m×1m以上の大きな有機EL表示体を容易に得ることができるようになる。

【0079】また、本発明の半導体素子の配置方法によれば、基板に対する単位ブロックの配置を、基板の凹部に単位ブロックを配置する方法よりも確実且つ容易に行うことができる。また、本発明の半導体素子の製造方法によれば、半導体素子を有する単位ブロックを基板の所定位置に配置する工程を有する半導体装置を容易に得ることができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に相当する有機EL表示体の製造方法で作製された、アクティブマトリックス型有機EL表示体の一部を示す平面図である。

【図2】図1のA-A線断面図である。

【図3】図1のB-B線断面図である。

【図4】本発明の一実施形態に相当する有機EL表示体の製造方法であって、単位ブロックの作製方法を説明する図である。

【図5】本発明の一実施形態に相当する有機EL表示体の製造方法であって、単位ブロックの配置方法を説明する図である。

【図6】図1のC-C線断面図である。

【図7】インクジェット法を説明するための図である。

【図8】本発明の一実施形態に相当する有機EL表示体の製造方法であって、単位ブロックを表示用基板上に配置した後の配線工程が省略可能な方法を説明する図である。

【図9】本発明の一実施形態に相当する有機EL表示体の製造方法であって、単位ブロックの配置方法を説明す

る図である。

【図10】本発明の一実施形態に相当する有機EL表示体の製造方法であって、単位ブロックの配置方法を説明する図である。

【図11】本発明の一実施形態に相当する有機EL表示体の製造方法であって、単位ブロックの配置方法を説明する図である。

【図12】本発明の一実施形態に相当する有機EL表示体の製造方法であって、単位ブロックの配置方法を説明する図である。

【図13】4個の画素毎に一つの単位ブロックが配置されているアクティブマトリックス型有機EL表示体の一部を示す平面図である。

【図14】3個の画素毎に一つの単位ブロックが配置されているアクティブマトリックス型有機EL表示体の一部を示す平面図である。

【図15】カラー表示体の場合の画素と単位ブロックとの配置の一例を示す図である。

【図16】カラー表示体の場合の画素と単位ブロックとの配置の一例を示す図である。

【図17】本発明の一実施形態に相当する半導体素子の配置方法をメモリセルに適用した場合の例を示す図である。

【図18】本発明の一実施形態に相当する半導体素子の配置方法を液晶表示体に適用した場合の例を示す図である。

【図19】従来のアクティブマトリックス型有機EL表示体の一例を示す部分平面図である。

【図20】従来のアクティブマトリックス型有機EL表示体の製造方法において、低温多結晶シリコン薄膜を活性層とする薄膜トランジスタの形成方法を説明する図である。

【図21】従来のアクティブマトリックス型有機EL表示体の製造方法において、有機EL素子の形成方法を説明する図である。

【図22】単位ブロックに対する端子の配置方法の例を示す図である。

【符号の説明】

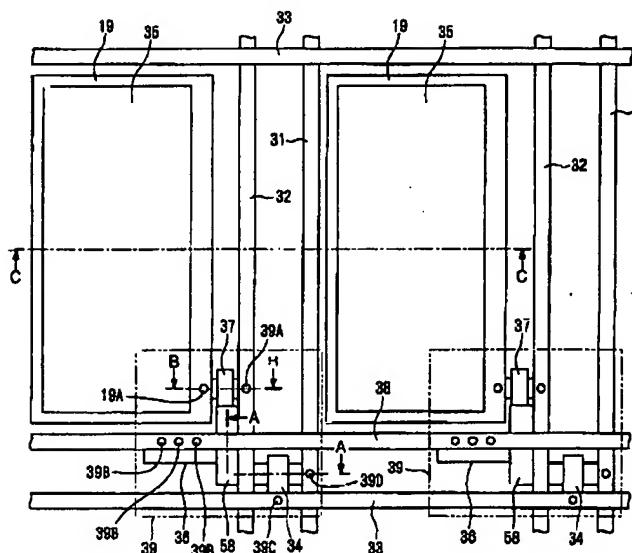
- 1 ゲート電極
- 2 ゲート酸化膜
- 3 ソース・ドレイン領域
- 4 導電層
- 5 絶縁層
- 6 電極
- 11 ガラス基板
- 12 多結晶シリコン膜
- 13 ゲート絶縁膜
- 14 ゲート電極
- 15 ソース・ドレイン領域
- 16 第1層間絶縁膜

- 17 ソース・ドレイン電極
- 18 第2層間絶縁膜
- 19 ITO電極(画素用電極)
- 20 絶縁膜
- 20a 画素領域の穴
- 21 密着層
- 22 層間層
- 23 正孔注入層
- 24 発光層
- 25 陰極
- 26 封止剤
- 31 信号線
- 31a 信号線の端子
- 32 電源線
- 32a 電源線の端子
- 33 走査線
- 33a 走査線の端子
- 34 スイッチングトランジスタ
- 35 有機EL素子からなる画素
- 36 容量
- 37 ドライビングトランジスタ
- 38 容量線
- 38a 容量線の端子
- 39 単位ブロック
- 39A 電源線との接続用の端子
- 39B 容量線との接続用の端子
- 39C 走査線との接続用の端子
- 39D 信号線との接続用の端子
- 41 シリコンウェハ(単結晶半導体基板)
- 41a 単結晶シリコン基板
- 50 基板
- 51 半導体基板を分割する線
- 52 ガラス基板(表示用基板)
- 53 液体
- 54 篦み(凹部)
- 57 絶縁膜
- 58 両トランジスタを接続する配線
- 59 電極
- 61 インクジェット装置のヘッド部
- 62 インク
- 63 枠体
- 64 インク充填領域
- 72a 信号線用の端子
- 72b 走査線用の端子
- 72c 容量線用の端子
- 72d 電源線用の端子
- 72e 画素用電極用の端子
- 81 画素(赤)
- 82 画素(緑)
- 83 画素(青)

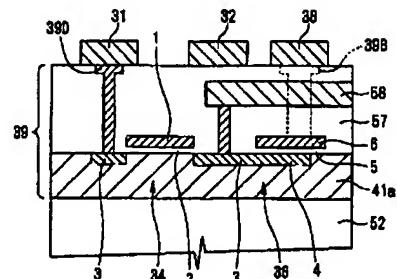
92 ワード線
 92a ワード線の端子
 93 ビット線
 93a ビット線の端子
 94A 容量線との接続用端子
 94B ワード線との接続用端子
 94C ビット線との接続用端子

95A 容量線との接続用端子
 95B 走査線との接続用端子
 95C 信号線との接続用端子
 96 液晶素子接続用の端子
 R1 ローラー
 R2 ローラー
 T 端子

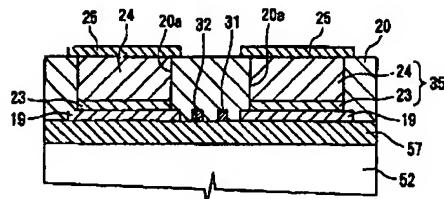
【図1】



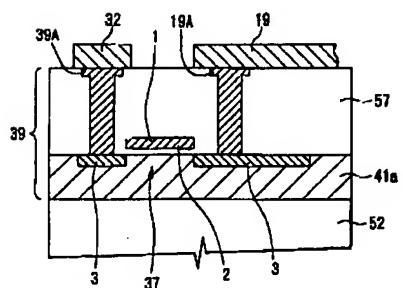
【図2】



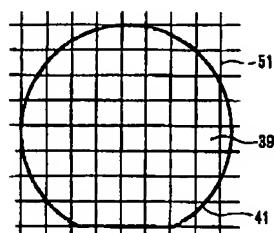
【図6】



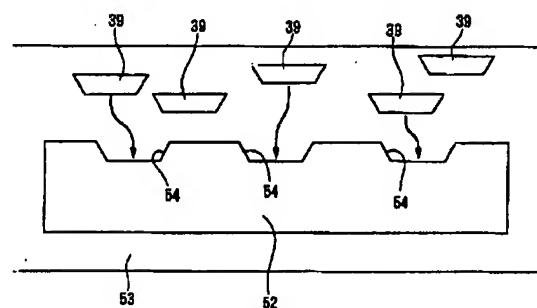
【図3】



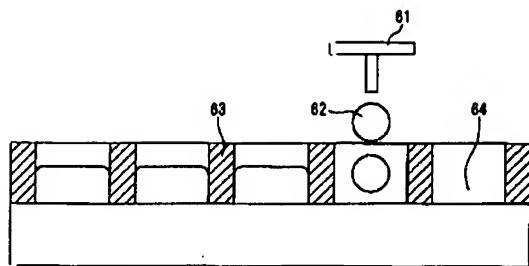
【図4】



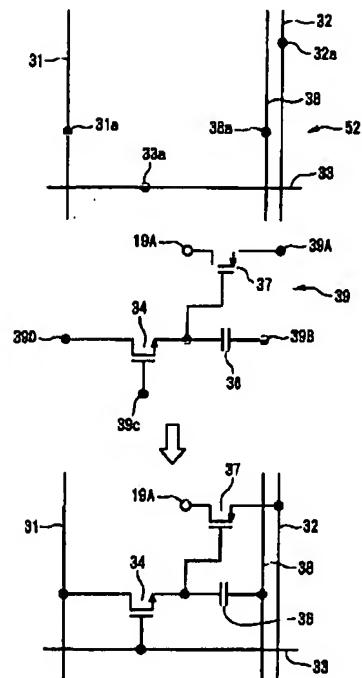
【図5】



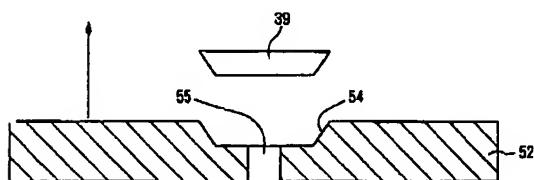
【図7】



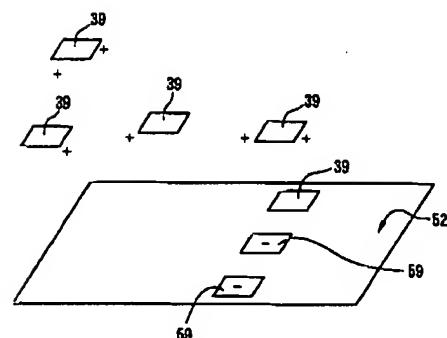
【図8】



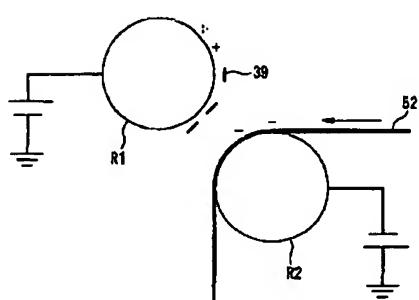
【図9】



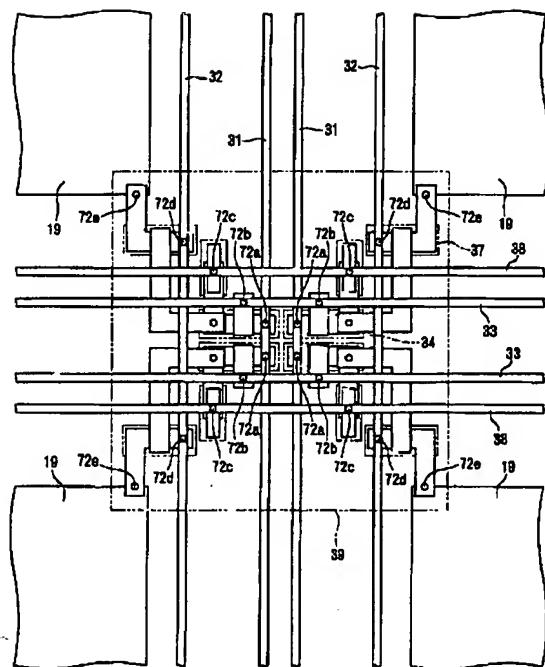
【図11】



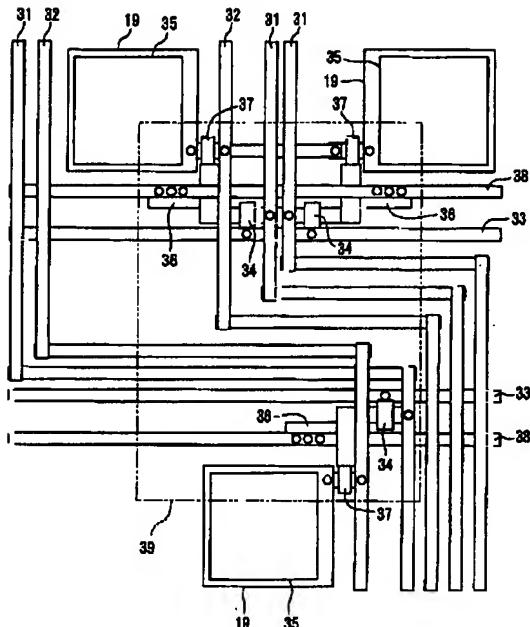
【図12】



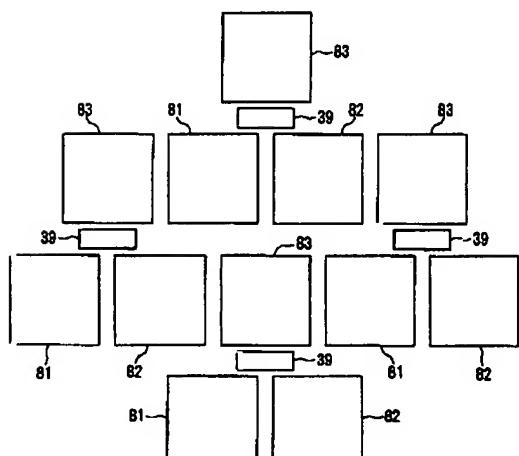
【図13】



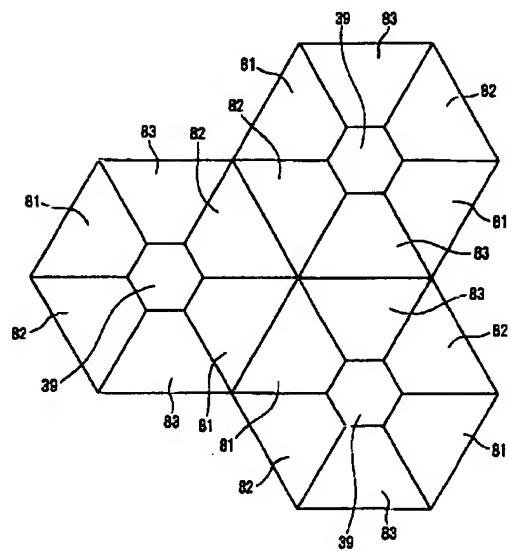
【図14】



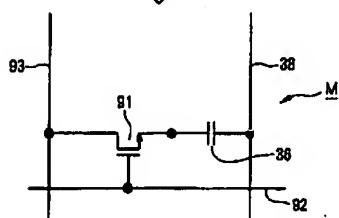
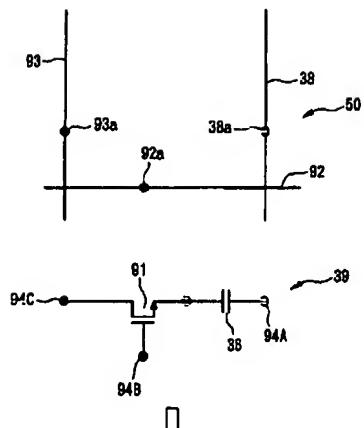
【图15】



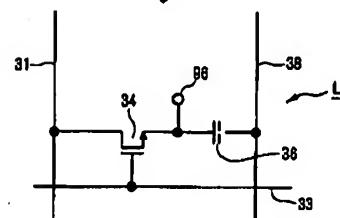
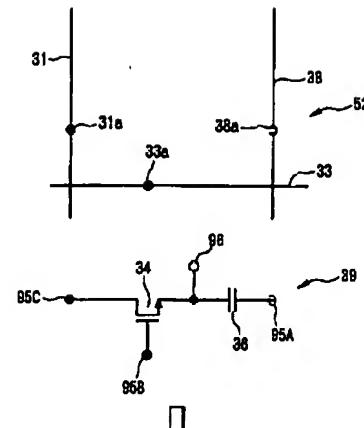
【図16】



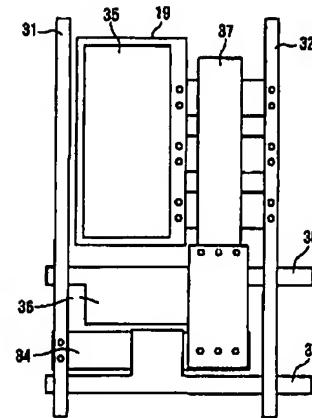
【図17】



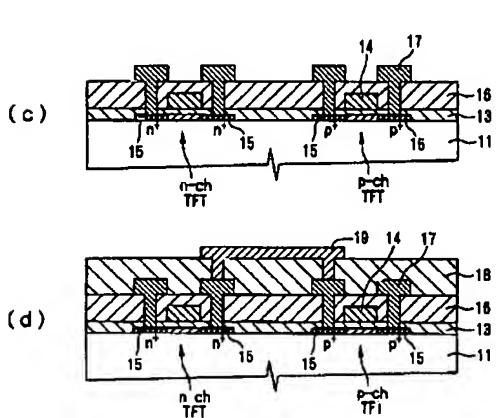
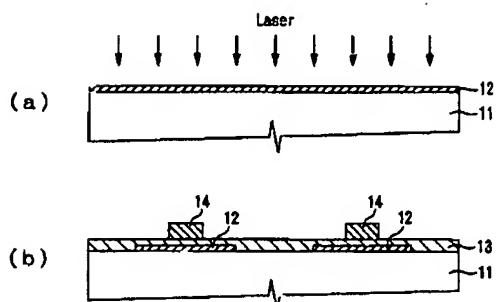
【図18】



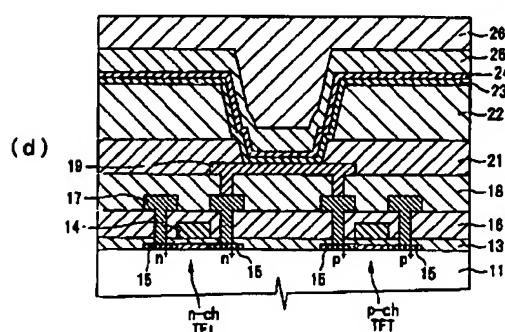
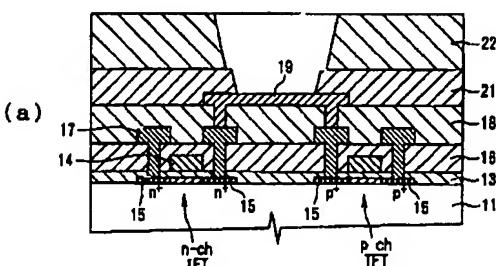
【図19】



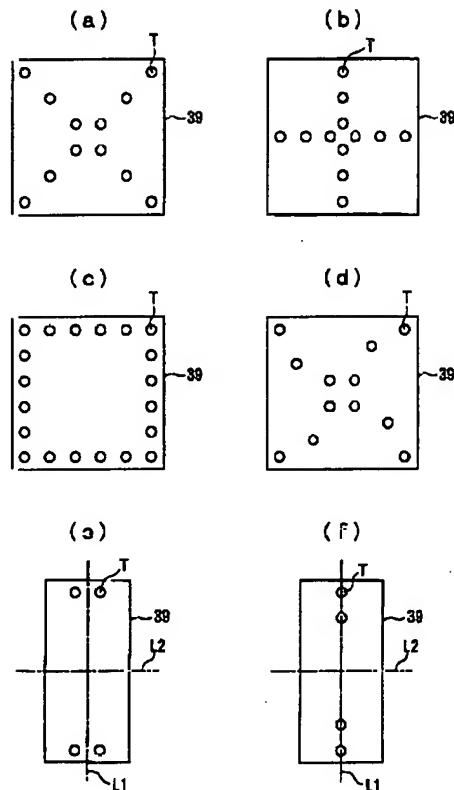
【図20】



【図21】



【図22】



フロントページの続き

(51) Int.Cl. 7
 H 01 L 21/336
 H 05 B 33/12
 33/14

識別記号

F I
 H 05 B 33/14
 H 01 L 29/78
 6 27 D

(参考)

(72) 発明者 井上 聰
 長野県諏訪市大和3丁目3番5号 セイコ
 一エプソン株式会社内

F ターム(参考) 3K007 AB04 BA06 BB07 CA03 DA00
 DB03 EB00 FA01
 5C094 AA14 AA43 AA44 AA60 BA03
 CA19 EA04 EA05 EB02
 5F110 AA28 BB02 BB05 CC02 DD02
 DD21 GG02 GG12 QQ16